

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02227900 A**(43) Date of publication of application: **11.09.90**

(51) Int. Cl.

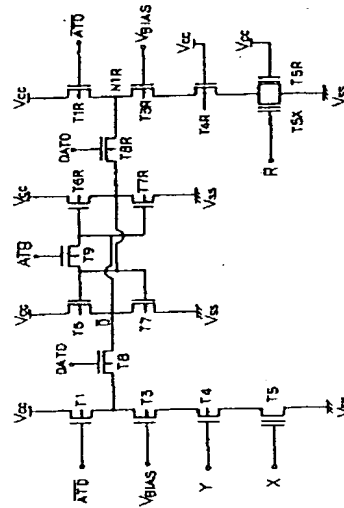
**G11C 16/06**(21) Application number: **01046913**(71) Applicant: **FUJITSU LTD**(22) Date of filing: **28.02.89**(72) Inventor: **YOSHIDA MASANOBU**(54) **SEMICONDUCTOR MEMORY**

## (57) Abstract:

**PURPOSE:** To shorten an access time, to stably secure normal output data and to improve reliability by providing a second reference transistor in parallel to a reference transistor and making a comparative current at the time of reading larger than the time of verifying a program.

**CONSTITUTION:** A second reference transistor T5X is provided in parallel to a reference transistor T5R, and a signal R is supplied to the gate. The signal R is a signal made into an 'L' at the time of verifying the program and into an 'H' at the time of reading, and consequently, the transistor T5X is composed to be turned on at the time of read and turned off at the time of verifying the program and to make the comparative current at the time of reading larger than the time of verifying the program. Thus, the access time can be shortened, simultaneously, the output data can be stabilized, and the reliability can be improved.

COPYRIGHT: (C)1990,JPO&amp;Japio



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-227900

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)9月11日

G 11 C 16/06

7131-5B  
7131-5B

G 11 C 17/00

3 0 9 A  
F

審査請求 未請求 請求項の数 1 (全10頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 平1-46913

⑰ 出 願 平1(1989)2月28日

⑱ 発 明 者 吉 田 正 信 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 井 桁 貞 一 外2名

## 明 細 書

## 3. 発明の詳細な説明

## 1. 発明の名称

半導体記憶装置

## 2. 特許請求の範囲

プログラム可能な不揮発性メモリ・セル・トランジスタを複数配列し、

該メモリ・セル・トランジスタとリファレンス・トランジスタのそれぞれに流れる電流を比較して記憶情報を検出するセンスアンプを備え、

該センスアンプは、前記リファレンス・トランジスタと並列に接続され、プログラム・ベリファイ時にオフ、リード時にオンとなる第2のリファレンス・トランジスタを含み、

プログラム・ベリファイ時よりリード時の比較電流を多くするように構成したことを特徴する半導体記憶装置。

## 〔目次〕

## 概要

## 産業上の利用分野

## 従来の技術

(第3～9図)

## 発明が解決しようとする問題点

## 課題を解決するための手段

## 作用

## 実施例

## 本発明の一実施例

(第1、2図)

## 発明の効果

## 〔概要〕

半導体記憶装置に関し、

簡単な構成でアクセス時間の短縮を図りつつ、安定して正常な出力データを確保し、信頼性を高めることのできる半導体記憶装置を提供することを目的とし、

プログラム可能な不揮発性メモリ・セル・トラ

ンジスタを複数配列し、該メモリ・セル・トランジスタとリファレンス・トランジスタのそれぞれ流れる電流を比較して記憶情報を検出するセンスアンプを備え、該センスアンプは、前記リファレンス・トランジスタと並列に接続され、プログラム・ベリファイ時にオフ、リード時にオンとなる第2のリファレンス・トランジスタを含み、プログラム・ベリファイ時よりリード時の比較電流を多くするように構成する。

#### (産業上の利用分野)

本発明は、半導体記憶装置に係り、詳しくは、フィールドでプログラム可能なEPROMと称される不揮発性の半導体記憶装置に関する。

EPROM (erasable and Programmable ROM) は紫外線をチップに照射することによりデータ内容が消去できるので、データの再書き込みが可能でMOS型の素子で構成されている。ユーザ・プログラマブルROMの中では最も大容量のものが入手できるほか、現在ではCMOS素子も多数開

ており、フローティングゲート2の電位はフローティングゲート2中の電荷量とコントロールゲート3の電位とにより決定される。

なお、EPROMとしてこれらのメモリ・セル・トランジスタが複数配置される場合は、コントロールゲート3およびドレイン4はそれぞれ共通に接続され、前者はワード線、後者はビット線となる。また、ソースは通常OVに接続される。

メモリ・セル・トランジスタに紫外線を照射すると、フローティングゲート2中から電子が逃げ、電荷量は0になる。これを消去と称する。消去後、コントロールゲート3に、例えば5Vというような電圧を印加すると、容量結合により、フローティングゲート2の電位は3V程度になる。このため、このMOSトランジスタは導通状態になり、電流を流す(情報"1"に相当)。5Vというのは、EPROMが通常使用されるVCCと呼ばれる電源電圧の値であり、コントロールゲート3には普通VCCが印加されるように設計される。

一方、コントロールゲート3に12.5Vのような

電圧が印加し、ドレイン4にも7V程度の電圧を印加すると、アバランシェ・ブレイク・ダウン現象により高エネルギーの電子が多量に発生する。そのうち一部の電子がフローティングゲート2に注入されるので、フローティングゲート2が負に帯電する。これをプログラムと称する。プログラム後、コントロールゲート3に5Vの電圧を印加しても、フローティングゲート2は負の電位か、正の電位としてもMOSトランジスタの $V_{th}$

#### (従来の技術)

従来のEPROMを説明するにあたり、初めにEPROMのメモリ・セル・トランジスタとセンスアンプについて述べる。EPROMのメモリ・セル・トランジスタは第3図(a)(b)のようなMOSトランジスタである。同図(a)はメモリ・セル・トランジスタの構成を示し、この図において、1はP形のシリコン基板、2はポリシリコンよりなるフローティングゲートと呼ばれる電気的にどこにも接続されないゲート、3はポリシリコンよりなるコントロールゲート、4はN形拡散領域よりなるドレイン、5はN形拡散領域よりなるソースである。また、第3図(b)に当価回路を示すようにコントロールゲート3とフローティングゲート2は容量結合(容量をCで表す)し

高電圧を印加し、ドレイン4にも7V程度の電圧を印加すると、アバランシェ・ブレイク・ダウン現象により高エネルギーの電子が多量に発生する。そのうち一部の電子がフローティングゲート2に注入されるので、フローティングゲート2が負に帯電する。これをプログラムと称する。プログラム後、コントロールゲート3に5Vの電圧を印加しても、フローティングゲート2は負の電位か、正の電位としてもMOSトランジスタの $V_{th}$  (threshold 電圧) より低い電位までしか上昇しないので、このトランジスタは非導通状態になり、電流を流さない(情報"0"に相当)。

センスアンプは、このメモリ・セル・トランジスタの電流を検出する。すなわちセンスアンプに接続されたメモリ・セル・トランジスタが電流を流せば、センスアンプの出力は"H"となり流さなければ、"L"となる。実際には、センスアンプにはセンス電流(比較電流に相当)と呼ばれるものが設定され、メモリ・セル・トランジスタの流す電流がそれより多ければ出力は"H"、少な

ければ“L”となる。ここで、“H”とは信号がVCCとほぼ同じ電位、“L”とは信号がVSSとほぼ同じ電位であることを意味する。

なお、EPROMには必ずVCC、VPP、VSSという3つの電源端子がある。VCCには5Vの電源を印加する。また、VPPにはプログラム時は12.5Vというような高電圧を印加し、リード時にはVCCと同電位にする。VSSは接地電位(0V)である。したがって、プログラムとはEPROMにデータを書くことを意味する。リードとはEPROMをROMとして使用することを意味する。

フローティングゲート2に注入される電子の量はアナログ量であり、注入される電子の量はプログラム時間に大きく依存する。言い換えると、プログラム後のメモリ・セル・トランジスタの流す電流は注入された電子の量に応じた連続的な変化をとり、その変化はプログラム時間に大きく依存する。その特性の一例を示すと、第4図のようになり、同図はメモリ・セル・トランジスタの書き

込み時間対ドレイン電流特性を示すものである。この例ではフローティングゲート2に12.5V、ドレイン4に7Vを $t_{pw}$ なる書き込み時間だけ印加した後、フローティングゲート2に5V、ドレイン4に1Vを印加し、ソースを0Vにした場合にメモリ・セル・トランジスタが流すドレイン電流を表している。 $t_{pw}=0$ の状態は書き込んでいない場合(消去した場合)に相当する。例えば、消去されたメモリ・セル・トランジスタは100  $\mu$ Aの電流を流し、充分長い時間プログラムされたメモリ・セル・トランジスタは全く電流を流さない。短い時間だけプログラムされたメモリ・セル・トランジスタはプログラム時間に応じて0  $\mu$ Aから100  $\mu$ Aの間の電流を流す。

EPROMの大容量化に伴い、プログラムに要する時間が長くなってくると、当然のことながら時間短縮が要求される。具体的には、EPROMは1アドレスあたりのプログラム時間として数ms必要である。大容量化により、例えば1M EPROMでは全アドレスをプログラムするのに数

分の時間を必要とし、これでは時間が長すぎるので、プログラム時間短縮が市場から強く要求される。

一方、プログラム後、電子は熱エネルギーによりごく徐々にではあるが、フローティングゲート2から逃げていくので、第5図に一例を示すように書き込みがなされたメモリ・セル・トランジスタの流す電流は初期(プログラム直後)に比べ時間がたつにつれ少しずつ増加していく。なお、第5図はメモリ・セル・トランジスタのドレイン電流対放置時間特性を示すもので、書き込み後250  $\mu$ sで放置し、フローティングゲート2に5V、ドレイン4に1Vを印加し、ソースを0Vとした場合のメモリ・セル・トランジスタが流すドレイン電流を示すものである。第5図から明らかであるように、プログラム時間を短縮してぎりぎりのドレイン電流で“0”を読んでいると、時間がたつにつれてドレイン電流が増加してしまうため、センスアンプは“L”ではなく、“H”を出力してしまうおそれがある。このようにセンス電流近辺の

電流を流すメモリ・セル・トランジスタ(このような状態を特に中間状態と呼ぶ)は“1”から“0”へ変化しやすいが、このような中間状態のメモリ・セル・トランジスタに対しても安定して正常な出力をするEPROMでないとシステムの信頼性が損なわれる。

そのため、本出願人は上記問題の対策として先に特開昭62-222498号公報に記載の発明を提案している。同公報に記載の発明は、センスアンプのセンス電流をプログラム・ベリファイ時とリード時で切り換えるという内容のもので、第6図に回路図を示す。なお、プログラム・ベリファイとは、EPROMにVCC(5V)のほかにVPPに高電圧(12.5V)を印加してプログラムし、その後に正しくデータが書き込まれたか否かをチェックすることである。プログラム・ベリファイで正しくデータが読み出せないと、プログラムが繰り返される。また、リード時にはVPPとしていた場合、VCC(5V)と同じ電圧が印加される。

第6図において、T1、T2はPチャネルMOSトランジスタ（以下、適宜トランジスタと略して用いる）、T3、T4はNチャネルMOSトランジスタ、T5はメモリ・セル・トランジスタである。また、Rはプログラム・ベリファイ時に“H”、リード時に“L”となる信号、VCCは電源の電位（5V）、VSSは接地電位（0V）、 $V_{ref}$ は2V程度の一定電圧である。Yはビット線選択信号でアドレス入力をデコードした信号、Xはワード線選択信号でアドレス入力をデコードした信号であり、X、Yは非選択時はVSS、選択時はプログラム・モードでVPP、他のモードではVCCとなる。10はインバータで、その入力がリードデータのH/Lのしきい値である基準電圧 $V_{ref}$ より高ければ“L”を、低ければ“H”を出力信号（出力データに相当）Dとして出力する。

動作は第7図に示すようになる。すなわち、プログラム・ベリファイ時はトランジスタT1がオン、トランジスタT2がオフするので、センスア

ンプのノード（節点）N1の電位はトランジスタT1の電流負荷特性とトランジスタT4の電流駆動特性によって決まる。一方、リード時はトランジスタT2もオンするので、センスアンプのノードN1の電位はトランジスタT1とトランジスタT2の電流負荷特性とトランジスタT4の電流駆動特性によって決まる。すなわち、この回路ではプログラム・ベリファイ時よりリード時のセンス電流を大きくし、このことによりEPROMの信頼性の向上を意図している。

具体的に述べると、例えばプログラム・ベリファイ時にはトランジスタT5が“1”であれば、ノードN1の電位は第7図の特性から明らかなようにV1になるが、V1は基準電圧 $V_{ref}$ より低いので、出力信号Dは“H”になる。また、トランジスタT5が“0”であればノードN1の電位はV3になるが、V3は基準電圧 $V_{ref}$ より高いので、出力信号Dは“L”になる。トランジスタT5が中間状態の場合は、ノードN1はV5の電位になるが、V5は基準電圧 $V_{ref}$ より低いので、

出力信号Dは“H”になる。

一方、リード時は、例えばトランジスタT5が“1”であればノードN1の電位はV2になるが、 $V2 < V_{ref}$ 、なので出力信号Dは“H”になる。トランジスタT5が“0”であればノードN1の電位はV4になるが、 $V4 < V_{ref}$ 、なので出力信号Dは“L”になる。また、トランジスタT5が中途半端に電流を流す場合はノードN1の電位はV6の電圧にあるが、 $V6 > V_{ref}$ 、なので出力信号Dは“L”になる。

このように、トランジスタT5がプログラム直後に“0”と“1”の中間状態であると、プログラム・ベリファイ時は出力信号Dは“H”になるので、再度プログラムがなされる。また、トランジスタT5が初期にぎりぎり“0”にプログラムされたベリファイをパスし、その後電流が増えて中間状態になっても、リード時はトランジスタT1とトランジスタT3がオンして出力信号が“L”になるので正常に動作する。

〔発明が解決しようとする課題〕

しかしながら、最近の半導体メモリのアクセス時間は非常に短いものが要求されているため、このような従来のEPROMにあっては、出力データの信頼性向上がはかれるものの、高速性が充分でないという問題点があった。

近時、アクセス時間を短くする工夫としてセンスアンプの回路形式も大きく変化しており、多くの場合はメモリ・セル・トランジスタの電流とリファレンス・トランジスタの電流とを比較して動作する差動増幅回路型のセンスアンプを採用している。そのような例としては、次の文献に開示されているようなものが開発されている。

(I) ISCC87 DIGEST of TECHNICAL PAPERS P75、FIG 2

(II) ISCC88 DIGEST of TECHNICAL PAPERS P121、FIG 2

(III) LSCC88 DIGEST of TE

CHNICAL PAPERS P125、  
FIG 2、FIG 4

このようなセンスアンプを発展させ、特にアクセス時間の一層の向上を図ったものとしては、例えば第8図に示すようなものがある。同図において、T1、T1R、T6、T6R、T9はPチャネルMOSトランジスタ、T3、T3R、T4、T4R、T7、T7R、T8、T8RはNチャネルMOSトランジスタ、T5、T5Rはメモリ・セル・トランジスタ（このうち、T5Rはリファレンス・トランジスタ）であり、トランジスタT6、T6R、T7、T7Rはフリップフロップを構成する。なお、各トランジスタのうちT1とT1R、T3とT3R、T4とT4R、T6とT6R、T7とT7R、T8とT8Rは電流電圧特性が全く同じトランジスタであり、また、リファレンス・トランジスタT5Rはメモリ・セル・トランジスタT5の半分の電流を流す特性になっている。VCCは電源（5V）、VSSは接地電位（0V）であり、 $\overline{A\bar{T}D}$ はアドレスの変化を検出

して“L”のバルスを出す信号、DATDはその遅延信号で“H”のバルスを出す信号、V<sub>ss</sub>は2V程度の一定電圧である。

この回路の動作は第9図に示すようになり、アドレス信号が変化すると、 $\overline{A\bar{T}D}$ 信号が“L”のバルスを出す。このとき、トランジスタT1とT1Rが充分大きければ、トランジスタT5やT5Rに関係なくノードN1、N1Rの電位はVCCまで上がり、またトランジスタT9のオンにより出力信号であるDと $\bar{D}$ は等しい電圧に中和される。 $\overline{A\bar{T}D}$ 信号のバルスが“H”に戻ると、トランジスタT5とT5Rが寄生容量を放電し始める。この寄生容量は通常かなり大きく、EPROMのアクセス時間に大きく影響する。一方、トランジスタT5が“0”であればゆっくりと、トランジスタT5が“1”であれば急速に放電が進み、ノードN1、N1Rの電位がVCCから下降する。このとき、トランジスタT5RはトランジスタT5の半分の電流を流すため、その中間の速さで放電する。ある程度ノードN1とノードN1Rの電圧

差がついたところでDATD信号が“H”になると中和されて平衡状態になっていたフリップフロップが安定状態に移し、出力データ信号D、 $\bar{D}$ が確定する。したがって、このようなセンスアンプではメモリ・セル・トランジスタT5、T5Rの電流が100%寄生容量の放電に関与するためスピードが非常に速い。

ところが、このような高速型のセンスアンプではアクセス時間は短くすることができるものの、第6図のような定常的にオンしている負荷トランジスタ（トランジスタT2に相当）が存在しないため、同図の回路の機能である出力データの信頼性を高めるという効果が得られず、この点で改善の余地がある。

そこで本発明は、簡単な構成でアクセス時間の短縮を図りつつ、安定して正常な出力データを確保し、信頼性を高めることのできる半導体記憶装置を提供することを目的としている。

（課題を解決するための手段）

本発明による半導体記憶装置は上記目的達成のため、プログラム可能な不揮発性メモリ・セル・トランジスタを複数配列し、該メモリ・セル・トランジスタとリファレンス・トランジスタのそれぞれに流れる電流を比較して記憶情報を検出するセンスアンプを備え、該センスアンプは、前記リファレンス・トランジスタと並列に接続され、プログラム・ベリファイ時にオフ、リード時にオンとなる第2のリファレンス・トランジスタを含み、プログラム・ベリファイ時よりリード時の比較電流を多くするように構成する。

（作用）

本発明では、リファレンス・トランジスタと並列に第2のリファレンス・トランジスタが設けられ、プログラム・ベリファイ時は第2のリファレンス・トランジスタがオフする。そのため、ノードN1Rの動きはリード時に比べて緩やかになるので、メモリ・セル・トランジスタの電流をかな

り少なくし、ノードN1の動きをN1Rよりも緩やかにしないと“0”が読めなくなり、仮にメモリ・セル・トランジスタが“0”と“1”の中間状態であると、プログラム・ベリファイ時はデータ出力が“H”になるので、再度プログラムがなされる。これにより、信頼性が高まる。

一方、リード時は第2のリファレンス・トランジスタがオンし、ノードN1Rは通常の動きをするので、メモリ・セル・トランジスタの電流が若干多くても安定して“0”が読め、かつ差動増幅型の高速センスアンプの特性が発揮され、アクセス時間が短縮する。

したがって、アクセス時間の短縮を図りつつ、出力データが安定し信頼性の向上が図られる。

#### (実施例)

以下、本発明を図面に基づいて説明する。

第1、2図は本発明に係る半導体記憶装置の一実施例を示す図であり、特に第1図はEPROMのセンスアンプ、第2図はその動作説明のタイミ

と同様であるが、トランジスタT5Xが加えられているため動作を説明する。

すなわち、まず、リード時は信号Rが“H”になることによりトランジスタT5Xがオン状態となる。そして、アドレス入力に変化すると $\overline{A\overline{T}D}$ 信号が“L”のパルスを出す。このとき、トランジスタT1とトランジスタT1Rが充分大きければ、トランジスタT5やトランジスタT5R、トランジスタT5Xに関係なくノードN1、N1Rの電位はVCCまで上り、またトランジスタT9のオンにより出力データD、 $\overline{D}$ は等しい電圧に中和される。その後、 $\overline{A\overline{T}D}$ 信号のパルスが“H”に戻ると、トランジスタT5、トランジスタT5RおよびトランジスタT5Xが寄生容量を放電し始める。トランジスタT5が“0”であればゆっくりと、トランジスタT5が“1”であれば急速に放電が進み、ノードN1、N1Rの電位がVCCから下降する。トランジスタT5RとトランジスタT5Xは合わせてトランジスタT5の半分の電流を流すため、その中間の速さで放電する。あ

る程度ノードN1とノードN1Rの電圧差がついたところでDATD信号が“H”になると、中和されて平衡状態になっていたフリップフロップが安定状態に移り、出力データ信号D、 $\overline{D}$ が確定する。したがって、トランジスタT5、トランジスタT5RおよびトランジスタT5Xの電流は100%寄生容量の放電に関与し、スピードが速くアクセス時間が短縮する。

一方、プログラム・ベリファイ時は信号Rが“L”になることによりトランジスタT5Xがオフする。このため、 $\overline{A\overline{T}D}$ 信号のパルスが“H”に戻ってからは、トランジスタT5とトランジスタT5Rがそれぞれの寄生容量を放電する際、トランジスタT5Xがオフしていることから、ノードN1Rはリード時に比べてゆっくりとVCCから下がる(第2図中破線曲線参照)。したがって、トランジスタT5の電流がかなり少なくなりノードN1の動きが非常にゆっくりしたものにならないと、“0”が読めなくなる。このため、例えば仮にトランジスタT5がプログラム直後に“0”

ングチャートを示している。第1図の説明にあたり、第8図に示した従来例と同一構成部分には同一番号を付して重複説明を省略する。

第1図において、従来例と異なるのはメモリ・セル・トランジスタT5Rと並列に第2のリファレンス・トランジスタT5Xが設けられ、そのゲートに信号Rが供給されている点である。トランジスタT5RとトランジスタT5Xはメモリ・セル・トランジスタT5と同様タイプの構造であるが、共にメモリ・セル・トランジスタT5の1/4の電流を流す特性、すなわちメモリ・セル・トランジスタT5より駆動電流を減らした特性となっている。また、信号Rはプログラム・ベリファイ時に“L”、リード時に“H”となるような信号である。したがって、トランジスタT5Xはプログラム・ベリファイ時にオフ、リード時にオンとなり、プログラム・ベリファイ時よりリード時の比較電流が多くなるように構成されている。

以上の構成において、動作のタイミングチャートは第2図のように示される。リード時は従来例

る程度ノードN1とノードN1Rの電圧差がついたところでDATD信号が“H”になると、中和されて平衡状態になっていたフリップフロップが安定状態に移り、出力データ信号D、 $\overline{D}$ が確定する。したがって、トランジスタT5、トランジスタT5RおよびトランジスタT5Xの電流は100%寄生容量の放電に関与し、スピードが速くアクセス時間が短縮する。

一方、プログラム・ベリファイ時は信号Rが“L”になることによりトランジスタT5Xがオフする。このため、 $\overline{A\overline{T}D}$ 信号のパルスが“H”に戻ってからは、トランジスタT5とトランジスタT5Rがそれぞれの寄生容量を放電する際、トランジスタT5Xがオフしていることから、ノードN1Rはリード時に比べてゆっくりとVCCから下がる(第2図中破線曲線参照)。したがって、トランジスタT5の電流がかなり少なくなりノードN1の動きが非常にゆっくりしたものにならないと、“0”が読めなくなる。このため、例えば仮にトランジスタT5がプログラム直後に“0”

と“1”の中間状態であると(プログラム時間の短縮をし過ぎたような場合)、プログラム・ベリファイ時の出力データDが“H”になるので、再度プログラムがなされる。したがって、書き込みデータの信頼性が保たれる。

また、トランジスタT5が初期にぎりぎり“0”にプログラムされてベリファイをパスし、その後電流が増えて中間状態になっても、リード時はトランジスタT5Xがオンしていわゆるセンス電流が多くなるので、出力データDは“L”が出力されて正常に動作する。

このように、本実施例では簡単な構成でトランジスタT5とトランジスタT5R、トランジスタT5Xの電流を比較する差動増幅型の高速センスアンプにおけるプログラム・ベリファイ時よりリード時のセンス電流を大きくしているため、出力データを安定して正常なものとしことができ、信頼性を高めることができるとともに、アクセス時間の短縮を両立させることができる。

作を説明する特性図、

第8図は従来のEPROMの高速型センスアンプの回路図、

第9図は従来のEPROMの高速型センスアンプの動作を説明するタイミングチャートである。

T1、T1R、T6、T6R、T9

……PチャネルMOSトランジスタ、

T3、T3R、T4、T4R、T7、

T8、T8R……NチャネルMOSトランジスタ、

T5……メモリセル・トランジスタ、

T5R……リファレンス・トランジスタ、

T5X……第2のリファレンス・トランジスタ。

代理人 弁理士 井 桁 貞



(発明の効果)

本発明によれば、簡単な構成でアクセス時間の短縮を図りつつ、安定して正常な出力データを確保することができ、信頼性を高めることができる。

#### 4. 図面の簡単な説明

第1、2図は本発明に係る半導体記憶装置の一実施例を示す図であり、

第1図はその回路図、

第2図はその動作を説明するタイミングチャート、

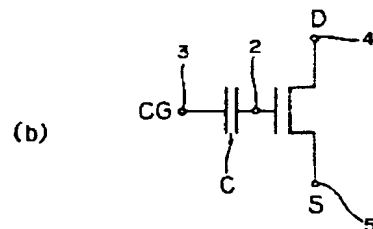
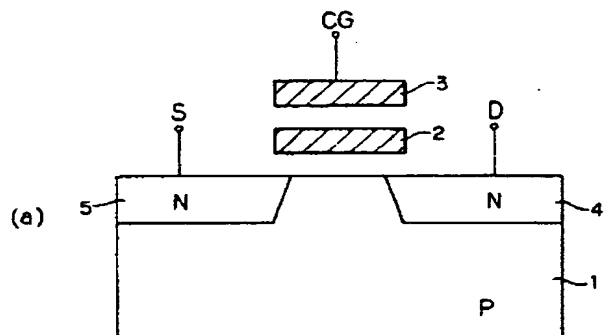
第3図はEPROMのメモリ・セル・トランジスタを説明する図、

第4図はEPROMの書き込み時間とドレイン電流との関係を示す図、

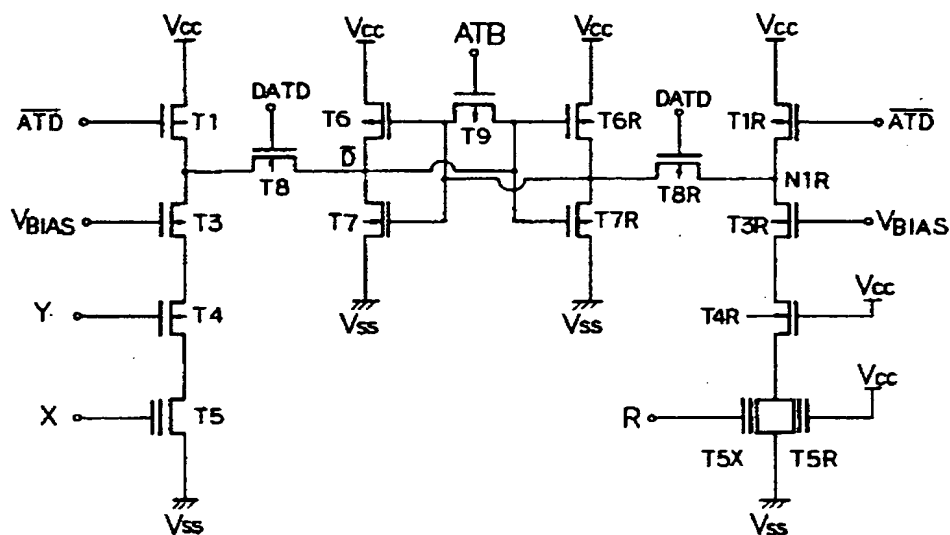
第5図はEPROMのドレイン電流と放電時間との関係を示す図、

第6図は従来のEPROMのセンスアンプの回路図、

第7図は従来のEPROMのセンスアンプの動

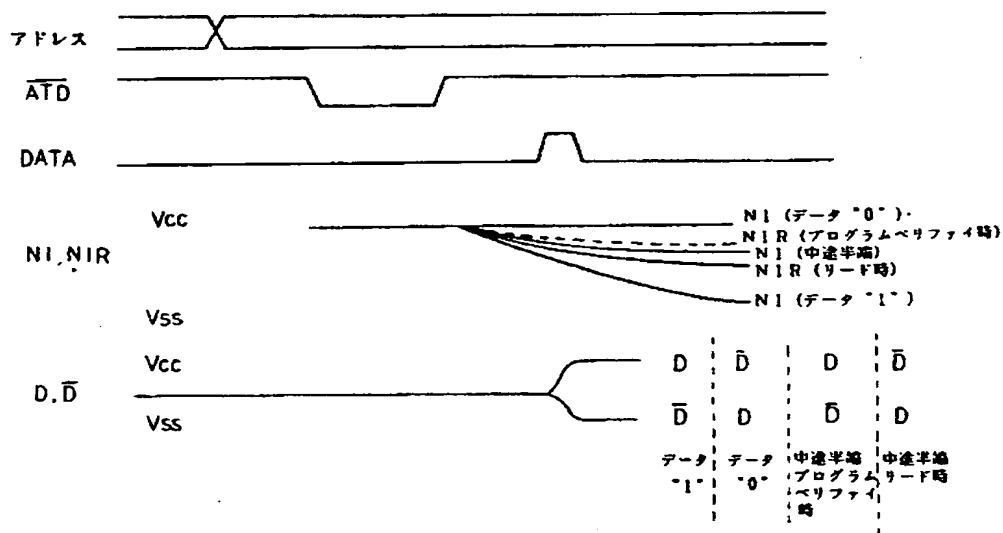


EPROMのメモリ・セル・トランジスタを説明する図  
第3図

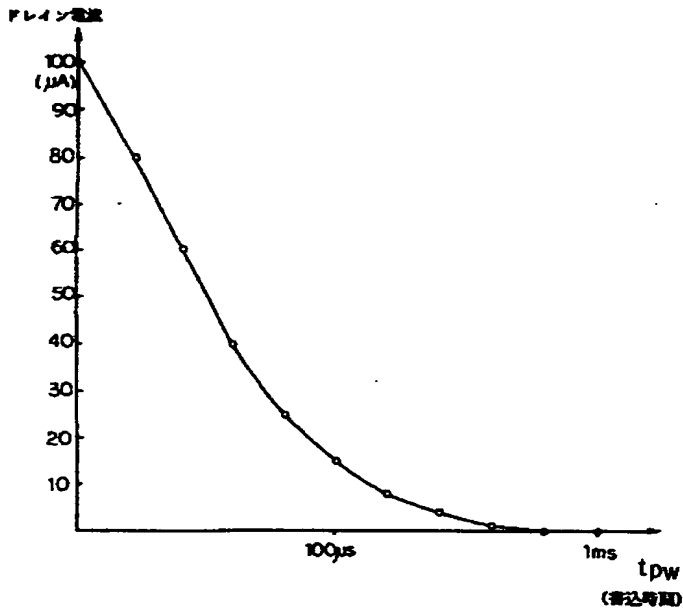


T1、T1R、T6、T9: PチャネルMOSトランジスタ  
 T3、T3R、T4、T4R、T7、T8、T8R: NチャネルMOSトランジスタ  
 T5: メモリセル・トランジスタ  
 T5R: リファレンス・トランジスタ  
 T5X: 第2のリファレンス・トランジスタ

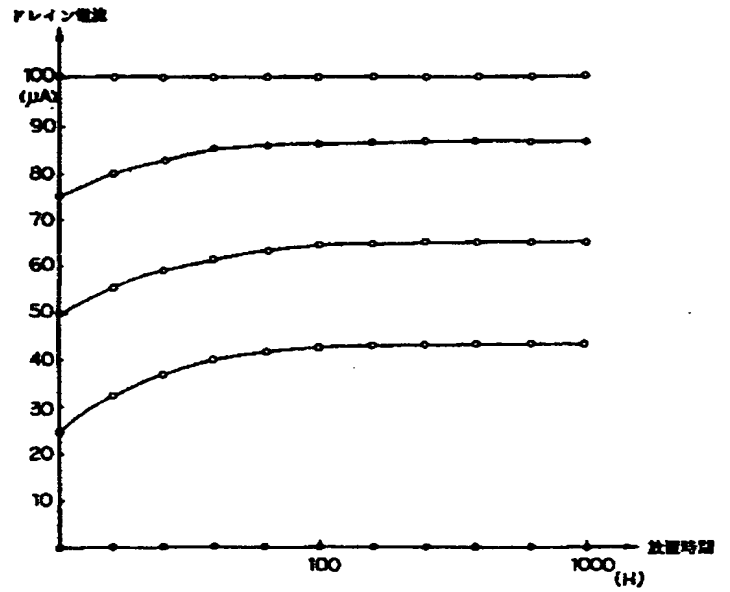
一実施例の回路図  
 第 1 図



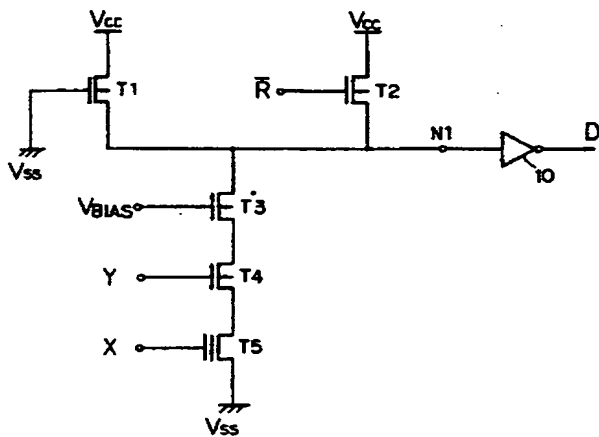
一実施例の動作を説明するタイミングチャート  
 第 2 図



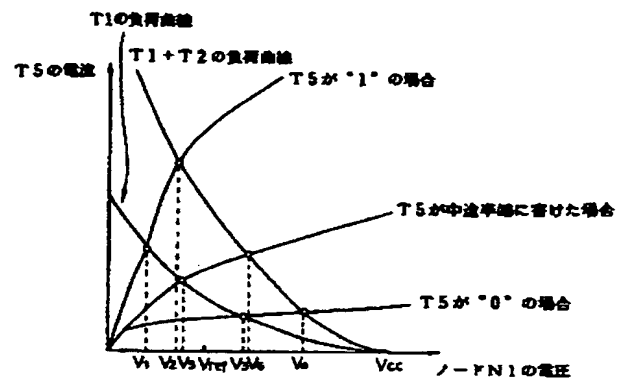
EPROMの書き込み時間とフレイン電流との関係を示す図  
第 4 図



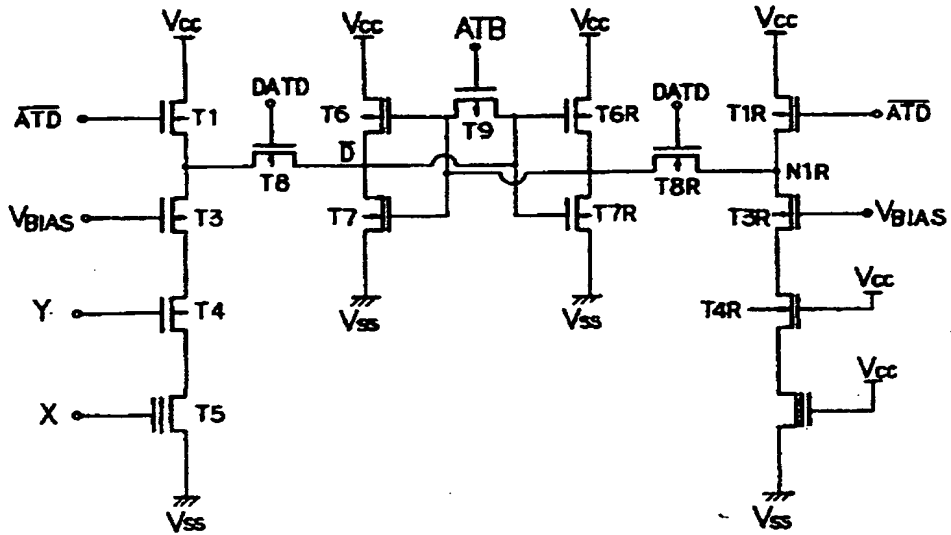
EPROMのフレイン電流と放置時間との関係を示す図  
第 5 図



従来のEPROMのセンスアンプの回路図  
第 6 図

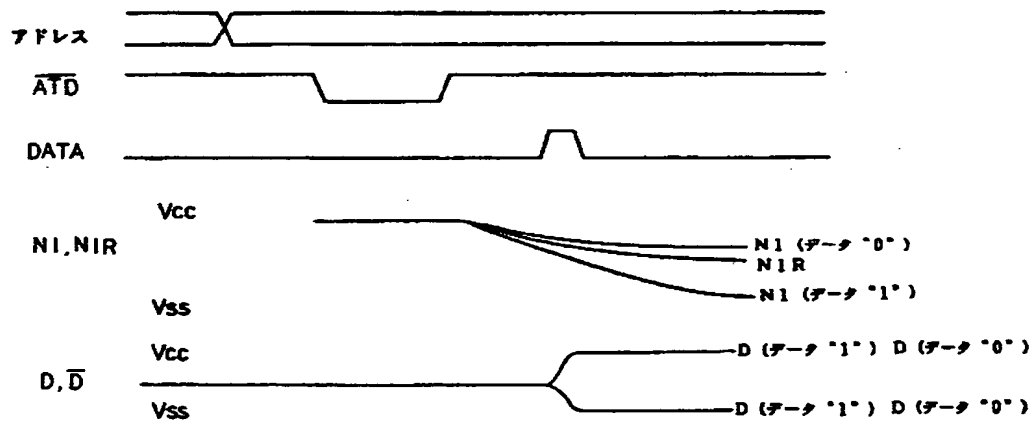


従来のEPROMのセンスアンプの動作を説明する特性図  
第 7 図



従来のEPROMの高速度センスアンプの回路図

第 8 図



従来のEPROMの高速度センスアンプの動作を説明する特性図

第 9 図

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**